



**CMOS static memory**

Patent Number:  US5521860  
Publication date: 1996-05-28  
Inventor(s): OHKUBO HIROAKI (JP)  
Applicant(s): NIPPON ELECTRIC CO (FR)  
Requested Patent:  JP7176633  
Application Number: US19940358017 19941216  
Priority Number(s): JP19930319494 19931220  
IPC Classification: H01L27/11  
EC Classification: H01L27/11F  
Equivalents:

---

**Abstract**

---

Two intracell wiring serving as the gate electrodes of driver transistors and load transistors and arranged substantially parallel to each other between two word lines substantially parallel to each other so as to be perpendicular to the word lines are arranged as the first layer. Ground wiring and a power supply wiring are arranged as the second layer on the first layer through an insulating film. Each intracell wiring serves as the gate electrodes of one driver transistor and one load transistor and is connected to the drain regions of the other driver transistor and the other load transistor. The ground wiring are connected to the source regions of the driver transistors, and the power supply wiring is connected to the source regions of the load transistors.

---

Data supplied from the esp@cenet database - I2



(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 7 - 1 7 6 6 3 3

(43)公開日 平成7年(1995)7月14日

(51)Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8244			
	27/11			
	27/04			
		7210- 4 M	H 0 1 L	27/10 3 8 1
			27/04	D
審査請求	有	請求項の数 2	O L	(全 9 頁) 最終頁に続く

(21)出願番号 特願平5-319494

(22)出願日 平成5年(1993)12月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大窪 宏明

東京都港区芝五丁目7番1号 日本電気株式  
会社内

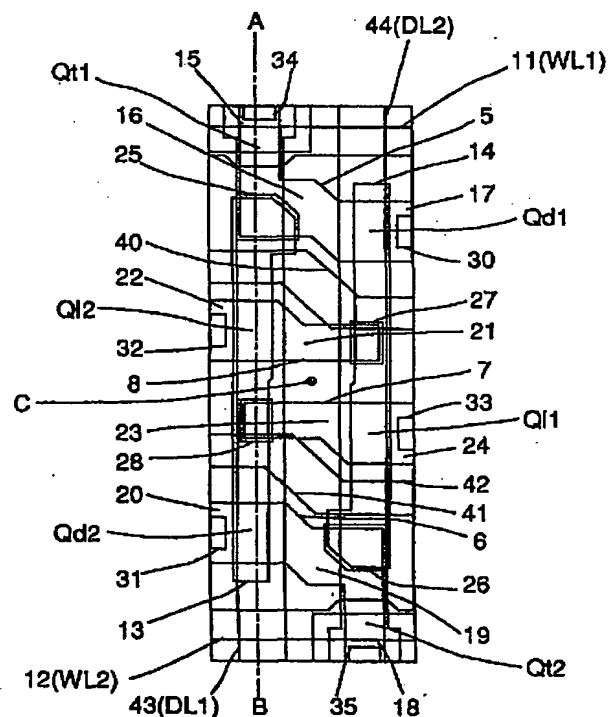
(74)代理人 弁理士 岩佐 義幸

(54)【発明の名称】 CMOS型スタティックメモリ

(57)【要約】

【目的】 点对称に配置されるCMOS型スタティックメモリに関し、セルの安定動作を可能にするとともに、配線抵抗を低下させることでセルの安定性を確保する。

【構成】 スイッチングトランジスタのゲート電極であり互いに略平行に配置された2本のワード線11、12とその間にあつてワード線に垂直で且つ互いに略平行に配置された2本のセル内配線13、14とこれら上部に絶縁膜を介して配置された接地配線40、41及び電源配線42とを有し、セル内配線はそれぞれ一方の駆動用トランジスタと負荷用トランジスタのゲート電極であつて且つ他方の駆動用トランジスタと負荷用トランジスタそれぞれのドレイン領域に接続され、接地配線は駆動用トランジスタそれぞれのソース領域に、電源配線は負荷用トランジスタそれぞれのソース領域に接続されている。



## 【特許請求の範囲】

【請求項 1】メモリセル内の第 1, 第 2 の駆動用トランジスタと第 1, 第 2 の負荷用トランジスタ及び第 1, 第 2 のスイッチングトランジスタとがそれぞれ点対称に配置された CMOS 型スタティックメモリにおいて、前記第 1, 第 2 のスイッチングトランジスタのゲート電極であり互いに略平行に配置された第 1, 第 2 のワード線と、前記 2 本のワード線の間にあるワード線に垂直で且つ互いに略平行に配置された第 1, 第 2 のセル内配線と、前記ワード線及び第 1, 第 2 のセル内配線上部に絶縁膜を介して配置された接地配線及び電源配線と、を有することを特徴とする CMOS 型スタティックメモリ。

【請求項 2】メモリセル内の第 1, 第 2 の駆動用トランジスタと第 1, 第 2 の負荷用トランジスタ及び第 1, 第 2 のスイッチングトランジスタとがそれぞれ点対称に配置された CMOS 型スタティックメモリにおいて、前記第 1, 第 2 のスイッチングトランジスタのゲート電極であり互いに略平行に配置された第 1, 第 2 のワード線と、前記 2 本のワード線の間にあるワード線に垂直で且つ互いに略平行に配置された第 1, 第 2 のセル内配線と、前記ワード線及び第 1, 第 2 のセル内配線上部に絶縁膜を介して配置された接地配線及び電源配線とを有し、前記第 1 のセル内配線は前記第 1 の駆動用トランジスタと前記第 1 の負荷用トランジスタのゲート電極であって且つ前記第 2 の駆動用トランジスタと前記第 2 の負荷用トランジスタそれぞれのドレイン領域に接続されており、前記第 2 のセル内配線は前記第 2 の駆動用トランジスタと前記第 2 の負荷用トランジスタのゲート電極であって且つ前記第 1 の駆動用トランジスタと前記第 1 の負荷用トランジスタそれぞれのドレイン領域に接続されており、前記接地配線は前記第 1, 第 2 の駆動用トランジスタそれぞれのソース領域に接続されており、前記電源配線は前記第 1, 第 2 の負荷用トランジスタそれぞれのソース領域に接続されていることを特徴とする CMOS 型スタティックメモリ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、CMOS 型スタティックメモリに関し、特にメモリセルを構成する各素子が点対称に配置されるものに関する。

## 【0002】

【従来の技術】従来、メモリセル内の 2 個の駆動用トランジスタと 2 個の負荷用トランジスタ及び 2 個のスイッチングトランジスタとがそれぞれ点対称に配置された CMOS 型スタティックメモリとしては、例えば、特開平 3-114256 号公報に示される完全 CMOS 型スタティック・ランダム・アクセス・メモリー（以下、SR

AM と略する）が知られている。その内容を図 8, 図 9, 図 10, 図 11 を参照して以下に説明する。

【0003】図 8 には完全 CMOS 型 SRAM セルの回路図が示されている。SRAM セルは、相補型データ線 DL1, DL2 と 1 組のワード線 WL1, WL2 との交差部にあつて、スイッチングトランジスタ Qt1, Qt2 によってデータ線とワード線に接続されている。また、駆動用トランジスタ Qd1, Qd2 のソース領域は接地配線 Vss に接続され、負荷用トランジスタ Ql1, Ql2 のソース領域は電源配線 Vcc に接続されている。スイッチングトランジスタ Qt1, Qt2 及び駆動用トランジスタ Qd1, Qd2 は N チャネル MOSFET、負荷用トランジスタ Ql1, Ql2 は P チャネル MOSFET となっている。

【0004】図 9 には、完全 CMOS 型 SRAM 単位セルの平面レイアウト図が示されている。図 10 には図 9 の主要部のみを示した平面略図が、図 11 には図 9 の A-B 線での断面斜視図がそれぞれ示されている。

【0005】スイッチングトランジスタ Qt1 はソース・ドレイン領域 117, 118 及びゲート電極 111 によって構成されており、同じくスイッチングトランジスタ Qt2 はソース・ドレイン領域 127, 128 及びゲート電極 116 によって構成されている。駆動用トランジスタ Qd1 はソース・ドレイン領域 120, 119 及びゲート電極 112 によって構成されており、同じく駆動用トランジスタ Qd2 はソース・ドレイン領域 125, 126 及びゲート電極 115 によって構成されている。負荷用トランジスタ Ql1 はソース・ドレイン領域 123, 124 及びゲート電極 114 によって構成されており、同じく負荷用トランジスタ Ql2 はソース・ドレイン領域 122, 121 及びゲート電極 113 によって構成されている。また、駆動用トランジスタ Qd1, Qd2 のソース引き出し電極 139, 140 は接地配線となっており、負荷用トランジスタ Ql1, Ql2 のソース引き出し電極 147 は電源配線となっている。接続配線 137 はコンタクト孔 130, 131, 133, 136 において駆動用トランジスタ Qd1 のゲート電極、負荷用トランジスタ Ql2 のドレイン領域、負荷用トランジスタ Ql1 のゲート電極、駆動用トランジスタ Qd2 のドレイン領域とそれぞれ接続されており、接続配線 138 はコンタクト孔 129, 132, 135, 135 において駆動用トランジスタ Qd1 のドレイン領域、負荷用トランジスタ Ql2 のゲート電極、負荷用トランジスタ Ql1 のドレイン領域、駆動用トランジスタ Qd2 のゲート電極とそれぞれ接続されている。

【0006】このセル構成の特徴は以下の通りである。

1) 2 個の駆動用トランジスタ Qd1, Qd2 のソース・ドレイン領域 119, 120, 126, 125 及びゲート電極 112, 115 同士、2 個の負荷用トランジスタ Ql1, Ql2 のソース・ドレイン領域 123, 12

3

4, 122, 121及びゲート電極114, 113同士、2個のスイッチングトランジスタQt1, Qt2のソース・ドレイン領域117, 118, 128, 127及びゲート電極111, 116同士、更に各ゲート電極とソース・ドレイン領域とを接続する接続配線137, 138が、セルの中心点Cに対してそれぞれ対称の関係に配置されている。

2) 各MOSFETのゲート電極111~116は全て平行に配置されている。

3) MOSFETのソース・ドレイン引き出し電極139~147が、フィールド絶縁膜をマスクとしたセルフアラインにより形成されている。

【0007】特徴1)によってセル内の記憶ノード容量が形成される部分の構造が対称となり、蓄積容量が同じになって記憶状態を安定させ、特徴2), 3)によってゲート電極に直交する方向でのソース・ドレイン領域の長さを狭くして各MOSFETを近接配置させ、集積度を向上させている。

【0008】

【発明が解決しようとする課題】この従来のCMOS型スタティックメモリでは、平行に配置されたゲート電極の間に設けられるソース領域引き出し電極により接地配線及び電源配線が形成されるため、配線幅がゲート電極の間隔で制限されてしまう。このため微細化につれ配線抵抗が増大して、セルに供給される接地電位の上昇及び電源電位の低下を引き起こしセルの安定性を低下させるといった問題がある。ここで接続配線の上部に接地配線及び電源配線となる導電層を十分な配線幅で形成することもできるが、配線、コンタクト孔を形成する分の製造工程を増大させてしまう。また、接続配線によりゲート電極、ドレイン領域の接続を行うため、単位セル内にデータ線とのコンタクト孔(1/2個×2)を含めて9個ものコンタクト孔が必要とされる。従って、コンタクト孔の歩留り即ちセル歩留りを確保するためにコンタクト孔周りに要求されるマージンで、セルの微細化が制限されるといった問題がある。特に、接続配線とゲート電極の接続を行う際、ゲート電極上コンタクト孔の位置合わせずれにより、コンタクト孔がソース領域上にわたって開孔されて、ゲートとソースがショートしてしまう。このためコンタクト孔とゲート電極との十分なマージンが必要とされる。

【0009】本発明の目的は、点対称に配置されるCMOS型スタティックメモリにおいて、2つのノードの蓄積容量や接続されるトランジスタの能力等のアンバランスを無くし、セルの安定動作を可能にするとともに、内部配線用の余分な配線層を無くし、接地配線及び電源配線に十分な配線幅をとって配線抵抗を低下させることでセルの安定性を確保することにある。

【0010】

【課題を解決するための手段】本発明のCMOS型スタ

4

ティックメモリは、メモリセル内の第1, 第2の駆動用トランジスタと第1, 第2の負荷用トランジスタ及び第1, 第2のスイッチングトランジスタとがそれぞれ点対称に配置された完全CMOS型スタティックメモリにおいて、第1, 第2のスイッチングトランジスタのゲート電極であり互いに略平行に配置された第1, 第2のワード線と、この2本のワード線の間にありワード線に垂直で且つ互いに略平行に配置された第1, 第2のセル内配線と、ワード線及び第1, 第2のセル内配線上部に絶縁膜を介して配置された接地配線及び電源配線とを有し、第1のセル内配線は第1の駆動用トランジスタと第1の負荷用トランジスタのゲート電極であって且つ第2の駆動用トランジスタと第2の負荷用トランジスタそれぞれのドレイン領域に接続されており、第2のセル内配線は第2の駆動用トランジスタと第2の負荷用トランジスタのゲート電極であって且つ第1の駆動用トランジスタと第1の負荷用トランジスタそれぞれのドレイン領域に接続されており、接地配線は第1, 第2の駆動用トランジスタそれぞれのソース領域に接続されており、電源配線は第1, 第2の負荷用トランジスタそれぞれのソース領域に接続されていることを特徴としている。

【0011】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0012】図1には本発明の第1の実施例のCMOS型スタティックメモリの平面レイアウト図が示されている。図2~図5には、図1のレイアウト図の配線層毎の平面レイアウト図が示されている。図6には、図1のA-B線での断面図が示されている。図8にはメモリセルの回路図が示されている。図1~図5のレイアウト図において隣接のセルとの関係は、短辺、長辺それぞれにおいて鏡面反転したものとなっている。従って隣接セルとの境界に位置するコンタクト孔については半分だけが描かれている。

【0013】図1に示されるように、互いに略平行な2本のワード線11(WL1), 12(WL2)の間にこれと垂直な2本のセル内配線13, 14が互いに略平行に配置されている。セル内配線13は駆動用トランジスタQd2、負荷用トランジスタQl2のゲート電極となっており、さらにダイレクトコンタクト25, 28によって駆動用トランジスタQd1、負荷用トランジスタQl1それぞれのドレイン領域16, 23に接続されている。セル内配線14は駆動用トランジスタQd1、負荷用トランジスタQl1のゲート電極となっており、さらにダイレクトコンタクト26, 27によって駆動用トランジスタQd2、負荷用トランジスタQl2それぞれのドレイン領域19, 21に接続されている。

【0014】NチャネルMOSFETであるスイッチングトランジスタQt1は、ソース・ドレイン領域15, 16及び第1のワード線(WL1)であるゲート電極1

1によって構成されており、同じくスイッチングトランジスタQt2は、ソース・ドレイン領域18, 19及び第2のワード線(WL2)であるゲート電極12によって構成されている。NチャネルMOSFETである駆動用トランジスタQd1は、ソース・ドレイン領域17, 16及びゲート電極14によって構成されており、同じく駆動用トランジスタQd2は、ソース・ドレイン領域20, 19及びゲート電極13によって構成されている。PチャネルMOSFETである負荷用トランジスタQl1は、ソース・ドレイン領域24, 23及びゲート電極14によって構成されており、同じく負荷用トランジスタQl2は、ソース・ドレイン領域22, 21及びゲート電極13によって構成されている。また、駆動用トランジスタQd1, Qd2のソース領域17, 20は、コンタクト孔30, 31によって接地配線40, 41にそれぞれ接続されており、負荷用トランジスタQl1, Ql2のソース領域24, 22は、コンタクト孔33, 32によって電源配線42に接続されている。データ線43(DL1), 44(DL2)は、コンタクト孔34, 35においてスイッチングトランジスタQt1, Qt2にそれぞれ接続されている。

【0015】なお図1において、5, 6はNチャンネル素子領域、7, 8はPチャンネル素子領域である。

【0016】図2～図5にも示されるように、これらの各構成要素はセル内2つのノードに対応してすべて一対になっており、セルの中心点Cに対してそれぞれ点対称に配置されている。従って2つのノードの蓄積容量や接続されるトランジスタの能力等のアンバランスが無くなり、セルの安定動作が可能になっている。配線は三層配線により構成されており、一層目がゲート電極となるセル内配線及びワード線、二層目が接地配線及び電源配線、三層目がデータ線となっている。セル内配線がゲート電極を兼ねているため内部接続のための余分な配線層は不要となっている。また、単位セル内のコンタクト孔は、データ線、接地配線、電源配線とのコンタクト孔がそれぞれ(1/2個×2)個ずつと4個のダイレクトコンタクトの計7個に減らされており、さらにゲート電極上のコンタクト孔が無いことコンタクト孔とゲート電極とのマージンが不要となりセルサイズが制限されることはない。接地配線及び電源配線はゲート電極上部に二層目の配線として形成されるため、ゲート電極やダイレクトコンタクト等のレイアウトに関係なく十分な配線幅がとられており、配線抵抗を低下させることでセルの安定性が確保できている。

【0017】本発明によるSRAMのセル断面について以下に説明する。図6の断面図に示されるように、P型基板50の表面にPウェル51、Nウェル52、Pウェル53が設けられる。ウェルは、エネルギー50～150keV、注入量 $5 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ のボロンまたはリンのイオン注入と約1200℃での押し込み

処理か、またはエネルギー300～1000keV、注入量 $5 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ のボロンまたはリンの高エネルギーイオン注入により形成される。各ウェルの表面には選択酸化により3000～6000オングストロームの素子分離用のフィールド酸化膜54及び各トランジスタが形成されている。トランジスタは、100～200オングストロームの熱酸化膜によるゲート酸化膜55、タングステンポリサイド膜のワード線57及びセル内配線58から成るゲート電極、更にエネルギー20～70keV、注入量 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-2}$ のヒ素またはボロンのイオン注入により設けられソース・ドレイン領域となる拡散層61等により構成されている。セル内配線58は、ゲート酸化膜55中所定の場所に開口されたダイレクトコンタクト56によりトランジスタQd1, Ql1のドレイン領域となる拡散層に接続されている。ダイレクトコンタクト部のウェル内にはソース・ドレイン領域用のイオン注入による不純物がゲート電極を通して拡散され拡散層59, 60が形成されている。ここでセル内配線58内にはポリサイド下層の多結晶シリコン膜中にPN接合が形成されN型領域とP型領域とが形成されるが、上層のタングステンポリサイド膜により接続が行われている。ゲート配線の上には絶縁膜62を介して1000～2000オングストロームのタングステンポリサイド膜による接地配線63, 64及び電源配線65がそれぞれ設けられ、更にその上に絶縁膜66を介してアルミ配線によるデータ線69が設けられている。データ線69はタングステンプラグ68により埋め込まれたコンタクト孔においてスイッチングトランジスタQt1に接続されている。タングステンプラグは、コンタクト孔開口後全面にコンタクト孔の直径程度の膜厚のCVDタングステンが堆積、エッチバックされて形成される。

【0018】次に、図7を参照して本発明の第2の実施例について説明する。本実施例ではダイレクトコンタクト孔は使用されていない。絶縁膜66が形成された後、前述の第1の実施例でダイレクトコンタクト孔の開口された箇所にタングステンプラグ71, 72により埋め込まれたコンタクト孔が設けられている。従って、セル内配線58はタングステンプラグ71, 72を介してトランジスタQd1, Ql1のドレイン領域となる拡散層59, 60に接続されている。前述の実施例では熱処理条件によってダイレクトコンタクト孔に接続されたセル内配線を介してNチャネル部、Pチャネル部不純物の相互拡散が行われトランジスタ特性の変動が問題となるが、第2の実施例では拡散層はタングステンプラグを介してセル内配線に接続されるため、不純物の相互拡散は行われず安定したトランジスタ特性が得られるといった利点がある。また、ダイレクトコンタクトよりもタングステンプラグの方がコンタクト抵抗が低く安定に形成されるといった利点もある。

## 【0019】

【発明の効果】以上説明したように本発明はメモリセルを構成する各素子が点対称に配置されたCMOS型スタティックメモリにおいて、各構成要素がセル内の中心点に対してそれぞれ点対称に配置されているため、2つのノードの蓄積容量や接続されるトランジスタの能力等のアンバランスが無くセルの安定動作が可能になるとともに、セル内配線がゲート電極を兼ねているため内部接続のための余分な配線層が不要となるといった効果を有する。また、接地配線及び電源配線はゲート電極上部に二層目の配線として形成されるため、ゲート電極やダイレクトコンタクト等のレイアウトに関係なく十分な配線幅がとられており、配線抵抗を低下させることでセルの安定性が確保できるといった効果を有する。さらに、対称配置の単位セル内のコンタクト孔の数が7個に減らされ、ゲート電極上のコンタクト孔が無い場合コンタクト孔とゲート電極とのマージンが不要となる分だけセルサイズが縮小できるといった効果を有する。

## 【図面の簡単な説明】

【図1】本発明の第1の実施例であるメモリセルの平面図である。

【図2】本発明の第1の実施例であるメモリセル層毎の平面図である。

【図3】本発明の第1の実施例であるメモリセル層毎の平面図である。

【図4】本発明の第1の実施例であるメモリセル層毎の平面図である。

【図5】本発明の第1の実施例であるメモリセル層毎の平面図である。

【図6】本発明の第1の実施例の図1のA-B線での断面図である。

【図7】本発明の第2の実施例であるメモリセルの断面図である。

【図8】本発明の一実施例であるメモリセルの回路図である。

【図9】本発明の従来例であるメモリセルの平面図である。

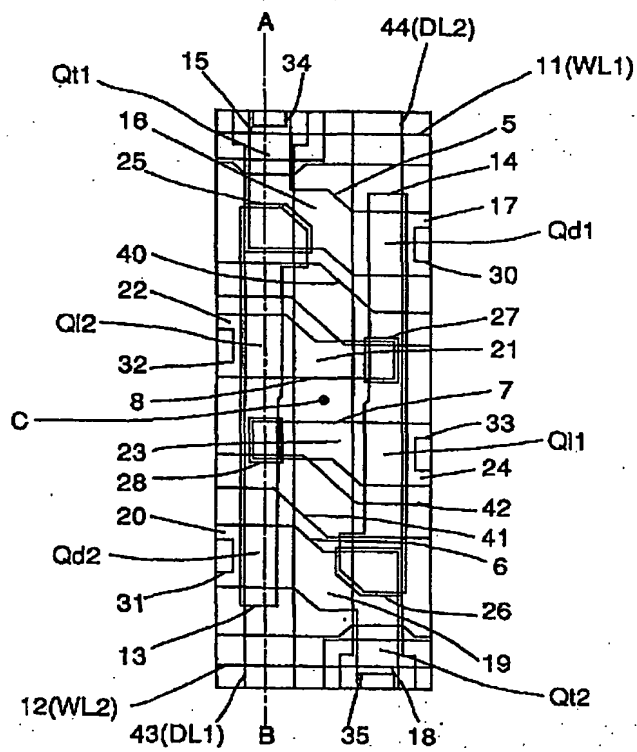
【図10】本発明の従来例の図9の主要部のみの平面略図である。

【図11】本発明の従来例の図9、図10のA-B線での断面斜視図である。

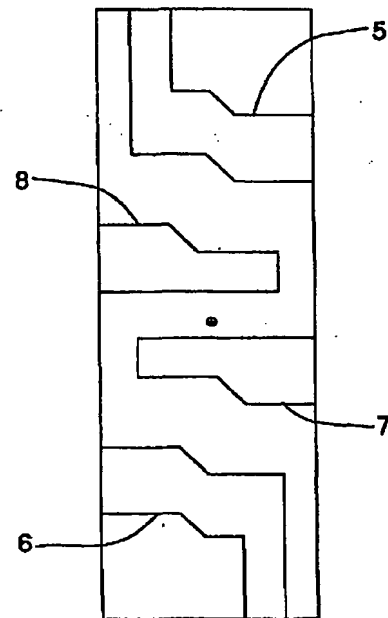
## 【符号の説明】

Q<sub>t1</sub>, Q<sub>t2</sub> トランスファーマOSトランジスタ  
 Q<sub>d1</sub>, Q<sub>d2</sub> ドライバNMOSトランジスタ  
 Q<sub>11</sub>, Q<sub>12</sub> 素子PMOSトランジスタ  
 5, 6 N<sub>ch</sub>素子領域  
 7, 8 P<sub>ch</sub>素子領域  
 11, 12, 57 ワード線  
 13, 14, 58 セル内配線  
 15~24 ソース・ドレイン領域  
 25~28, 56 ダイレクトコンタクト  
 30~35 コンタクト孔  
 40, 41, 63, 64 接地配線  
 42, 65 電源配線  
 43, 44, 69 データ線  
 50, 100 P型基板  
 51, 53, 148, 150 Pウェル  
 52, 149 Nウェル  
 54 フィールド酸化膜  
 55 ゲート酸化膜  
 59, 61, 67, 119, 120, 125, 126 N型拡散層  
 60, 121~124 P型拡散層  
 62, 66, 70 絶縁膜  
 68, 71, 72 タングステンプラグ  
 111~116 ゲート電極  
 129~136 コンタクト孔  
 137, 138 接続配線  
 139~147 引き出し電極

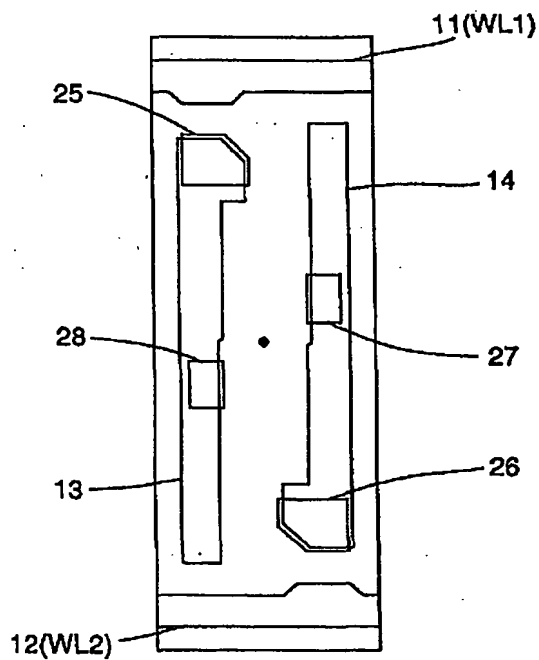
【図1】



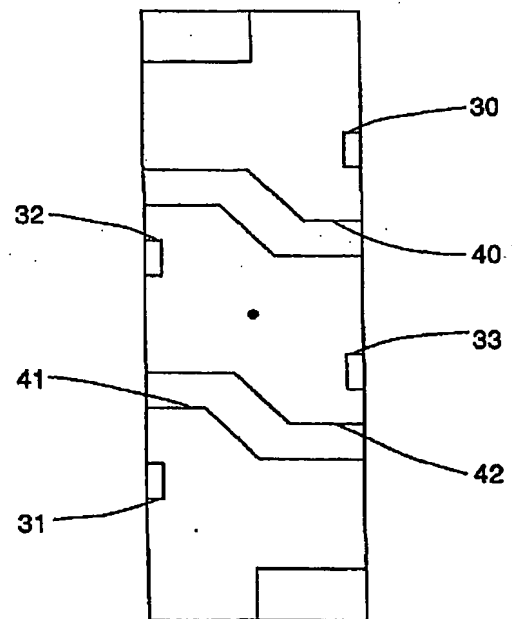
【図2】



【図3】



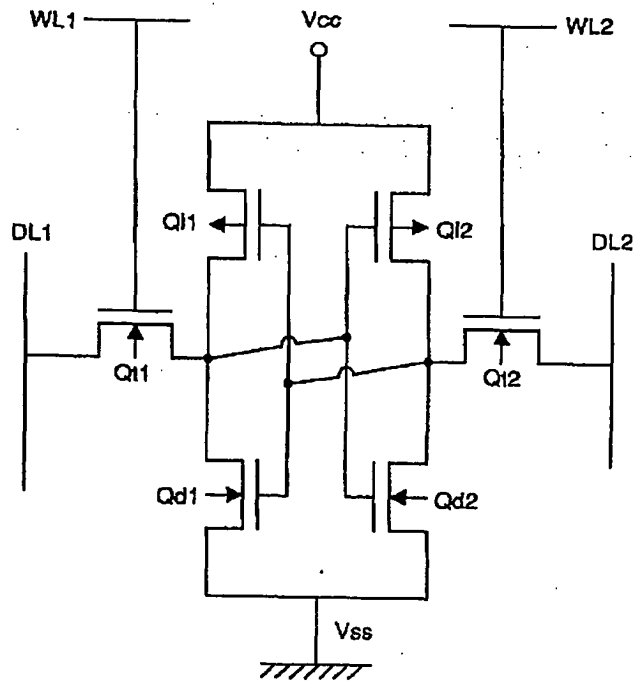
【図4】



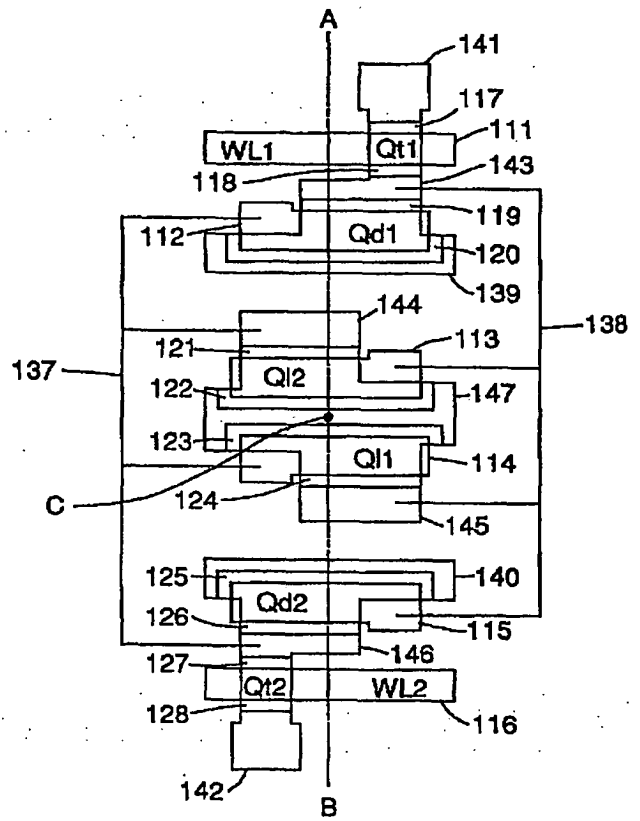




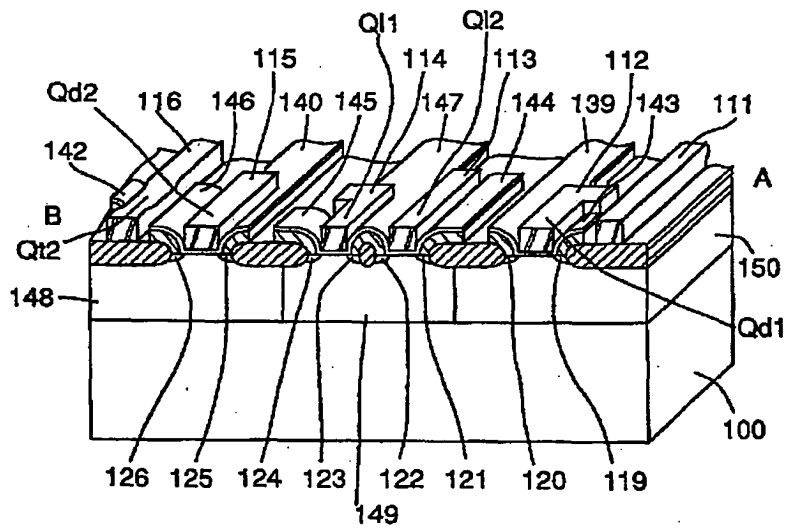
【図8】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H 0 1 L 21/822

識別記号

庁内整理番号

F I

技術表示箇所

